

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-084082

(43)Date of publication of application : 31.03.1998

(51)Int.Cl.

H01L 27/04
H01L 21/822
H01L 23/12

(21)Application number : 08-236584

(71)Applicant : YOKOGAWA ELECTRIC CORP

(22)Date of filing : 06.09.1996

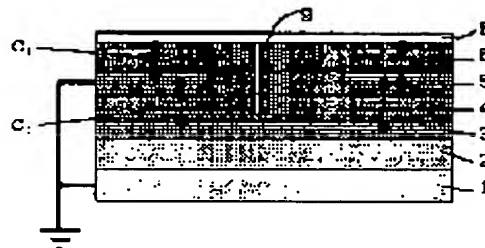
(72)Inventor : FUCHIZAWA NAOYUKI
ARAKI SHOJIRO

(54) MCM SILICON SUBSTRATE

(57)Abstract:

PROBLEM TO BE SOLVED: To enhance a decoupling capacitor inside a substrate in electrostatic capacitance per unit area so as to ensure it of necessary capacitance by a method wherein a first conductor layer, a first dielectric layer, a second conductor layer, a second dielectric layer, and an upper electrode are laminated on an insulating layer, and the upper electrode is connected to the first conductor layer.

SOLUTION: One surface of a silicon substrate 1 is covered with an insulating silicon dioxide layer 2, a first polysilicon conductor layer 3 is formed on the insulating layer 2, and a first silicon nitride dielectric layer 4 is formed on the first conductor layer 3. Furthermore, a second polysilicon conductor layer 5 is formed on the first dielectric layer 4, a second silicon nitride dielectric layer 6 is formed on the second polysilicon conductor layer 5, and an upper electrode 9 is formed on the second dielectric layer 6. The upper electrode 9 is connected to the first conductor layer 3, whereby a decoupling capacitor formed in the upper electrode 9 is enhanced in electrostatic capacitance per unit area.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

BEST AVAILABLE COPY

BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-84082

(43) 公開日 平成10年(1998) 3月31日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/04			H 0 1 L 27/04	C
21/822			23/12	N
23/12				

審査請求 未請求 請求項の数 1 O L (全 4 頁)

(21) 出願番号 特願平8-236584

(22) 出願日 平成8年(1996) 9月6日

(71) 出願人 000006507

横河電機株式会社

東京都武蔵野市中町2丁目9番32号

(72) 発明者 洲 澤 尚 行

東京都武蔵野市中町2丁目9番32号 横河
電機株式会社内

(72) 発明者 荒 木 昌 二 郎

東京都武蔵野市中町2丁目9番32号 横河
電機株式会社内

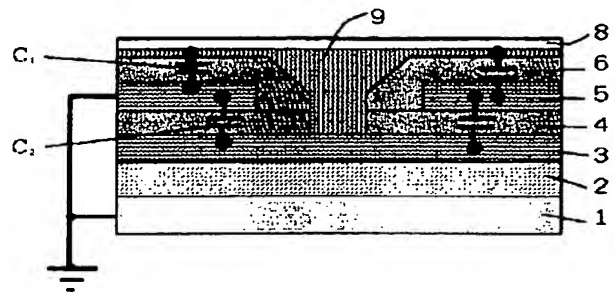
(74) 代理人 弁理士 渡辺 正康

(54) 【発明の名称】 MCM用シリコン基板

(57) 【要約】

【課題】先に説明したS i 基板中のデカップリングコンデンサの単位面積当たりの静電容量を増加させ、小さい面積で必要な静電容量を確保することを目的とする。

【解決手段】一つの面が二酸化珪素からなる絶縁層で覆われたシリコン基板と、この絶縁層の上に形成したポリシリコンからなる第1導電体層と、この第1導電体層の上に形成した窒化珪素膜(S i₃N₄)からなる第1誘電体層と、この第1誘電体層の上に形成したポリシリコンからなる第2導電体層と、この第2導電体層の上に形成した窒化珪素膜からなる第2誘電体層と、この第2誘電体層の上に形成した上部電極からなり、上部電極と第1導電体層とを接続することにより、上部電極に生じるデカップリングコンデンサの単位面積当たりの静電容量を増加させることを特徴とするシリコン基板。



BEST AVAILABLE COPY

1

【特許請求の範囲】

【請求項1】一つの面が二酸化珪素からなる絶縁層で覆われたシリコン基板と、この絶縁層の上に形成したポリシリコンからなる第1導電体層と、この第1導電体層の上に形成した窒化珪素膜からなる第1誘電体層と、この第1誘電体層の上に形成したポリシリコンからなる第2導電体層と、この第2導電体層の上に形成した窒化珪素膜からなる第2誘電体層と、この第2誘電体層の上に形成した上部電極から構成し、上部電極と第1導電体層と接続することにより上部電極に生じるデカップリングコンデンサの単位面積あたりの静電容量を増加させることを特徴とするMCM用シリコン基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】電子機器を小型化、軽量化、高速化するにはIC等の部品をマウントするマルチチップモジュール（以下MCMという）は不可欠である。本発明は、MCMを構成するシリコン基板（以下Si基板という）に含まれるデカップリングコンデンサの性能の改良に関する。

【0002】

【従来の技術】MCMはMCM-L、MCM-C、MCM-Dの3タイプに大別される。MCM-Lは、プリント板の上に厚膜印刷などにより配線をさらに積み重ねる方法で多層高密度配線を作る。MCM-Cは、配線層を厚膜印刷で形成したセラミックスのグリーンシートを積層し焼結して多層配線を作る。MCM-Dは、Si基板などの上にICの多層配線を作る要領で配線層を作る。半導体製造設備がそのまま使える利点がある。Si基板でできた高速動作のMCM-Dを用いた電源回路は通常デカップリングコンデンサを介して接地される。これは、電源回路に生じる不要な高周波成分をグランドに流し去り、その他の信号線層との間に不測の電気的結合が生じないようにするためである。このデカップリングコンデンサは、基本的には接地されたSi基板と、このSi基板の表面に形成した絶縁層と、その上に形成した複数の金属電極とから構成されている。以下の記載はMCM-Dタイプに関するもので単にMCMと記載する。尚MCM-C及びLのタイプではコンデンサーを単独に取り付けてデカップリング効果を得ることがある。

【0003】図3はデカップリングコンデンサを内装したSi基板の従来の一実施例を示す構造断面図である。1はSi基板である。2はSi基板の上に形成した二酸化珪素からなる絶縁層（誘電体層）である。3は絶縁層2の上に形成した複数の上部電極でありそれぞれ引き出し端子7が接続されている。これらの電極間は保護膜8により絶縁保護されている。また、Si基板は接地されている。

【0004】動作の説明

Si基板1と上部電極3との間には二酸化珪素からなる

(2)

2

絶縁層2（誘電体層）を介してデカップリングコンデンサが構成されている。図ではコンデンサ記号C1・・・Cnで表示している。これら複数の引き出し端子7の間に電源回路等を構成した場合には、この回路に誘起した有害な高周波電流は引き出し端子7、絶縁層2、Si基板1を通して接地回路に流れ回路間の有害な電気的結合が防止される。従って、MCM用のSi基板は小さい面積の中でデカップリングコンデンサの静電容量はできるだけ大きくする必要がある。

10 【0005】

【発明が解決しようとする課題】そこで本発明は、MCM用のSi基板の中のデカップリングコンデンサの単位面積あたりの静電容量を増加させ、必要な静電容量を確保することを目的とする。

【0006】

【課題を解決するための手段】本願発明のMCM用シリコン基板は、一つの面が二酸化珪素からなる絶縁層で覆われたシリコン基板と、この絶縁層の上に形成したポリシリコンからなる第1導電体層と、この第1導電体層の上に形成した窒化珪素膜からなる第1誘電体層と、この第1誘電体層の上に形成したポリシリコンからなる第2導電体層と、この第2導電体層の上に形成した窒化珪素膜からなる第2誘電体層と、この第2誘電体層の上に形成した上部電極から構成し、上部電極と第1導電体層と接続することにより上部電極に生じるデカップリングコンデンサの単位面積あたりの静電容量を増加させることを特徴とする

【0007】

【発明の実施の形態】図1は本発明のデカップリングコンデンサを内装したSi基板の断面構造図である。1はSi基板である。2はSi基板の上に形成した二酸化珪素（SiO₂）からなる第1絶縁層である。3は第1絶縁層の上に形成したポリシリコンからなる第1導電体層である。4は第1導電体層の上に形成した窒化珪素膜（Si₃N₄）からなる第1誘電体層である。5は第1誘電体層の上に形成したポリシリコンからなる第2導電体層である。6は第2導電体層の上に形成した窒化膜（Si₃N₄）からなる第2誘電体層である。9は第2誘電体層の上に形成した上部電極である。上部電極9は第1導電体層3と接続されている。このようにして形成されるデカップリングコンデンサを図1ではコンデンサ記号C1、C2で代表させて表示している。複数の上部電極9の間は二酸化珪素（SiO₂）膜などにより絶縁及び保護されている。複数の上部電極9の間に電源回路など任意の回路を構成する。

【0008】回路の動作

第2導電体層5を接地すると、上部電極9に現れる不要な高周波成分は、第1導電体層3、第1誘電体層4、第2導電体層5で構成されるデカップリングコンデンサ回路C2と、上部電極9、第2導電体層6、第2導電体層

3

5で構成されるデカップリングコンデンサ回路C₁の2つの回路を通してグラウンドに流れるので、他の回路との電気的結合はより効果的に防止される。また、Si基板1を接地することにより、不要な高周波成分は第1導電体層3から第1絶縁層2、Si基板1を経て放電される。このようにして、このSi基板のデカップリングコンデンサは同一面積当たりの静電容量が倍加され不要な高周波成分の排流効果が倍増する。

【0009】次に本発明のSi基板の製造方法を説明する。図2はSi基板の製造の工程を説明する図である。

第1工程 図2 a

Si基板1を加熱酸化処理することによりその上に二酸化珪素(SiO₂)からなる絶縁層2を形成する。この絶縁層2の上にポリシリコンからなる第1導電体層3を形成する。この導電体層3の上に窒化珪素からなる第1誘電体層4を形成する。なお、一般にポリシリコン並びに窒化珪素の各層は減圧CVD法(Chemical Vapor Deposition法)で形成する。

第2工程 図2 b

次に第1工程で作成した第1誘電体層4の上にポリシリコンからなる第2導電体層5を形成する。

【0010】第3工程 図2 c

次に、上部にくる電極を第1導電層3と接続するために、フォトリソグラフとエッチングにより、第2工程で作成した第2導電体層5へ穴明け加工をする。その位置を仮にpで示している。

【0011】第4工程 図2 d

次に、フォトリソグラフとエッチングにより、共に窒化珪素である第1誘電体層4と第2誘電体層6に穴明け加工をする。その位置をqで示している。続いて第1誘電体層4と共に第2導電体層5を取り囲む形で第2導電体

4

層5の上に窒化珪素からなる第2誘電体層6を形成する。

第5工程 図1

最後に、第1導電体層3と十分接触し、かつ誘電体層4及び6により導電体層5から絶縁された形状にアルミニウムを蒸着して上部電極9を形成する。

【発明の効果】上記のようにシリコン基板の中にデカップリングコンデンサを階層構造に形成したことにより、Si基板の単位面積当たりの静電容量を倍加させることができた。従って、小さいシリコン基板の上に電源回路等を組み立てた場合にも、発生する不要な高周波成分をグラウンドに効果的に流し去るので、その他の信号層に対して不測の電気的結合が生じるのを効果的に防止することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態を示すデカップリングコンデンサを内装したシリコン基板の断面構造図である。

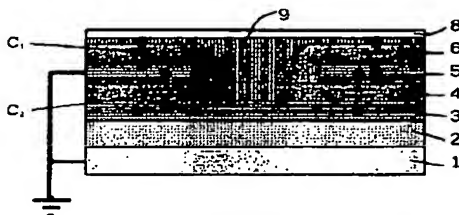
【図2】本発明のシリコン基板を製造する工程の説明図である。

【図3】デカップリングコンデンサを内装したシリコン基板の従来の一例を示す断面構造図である。

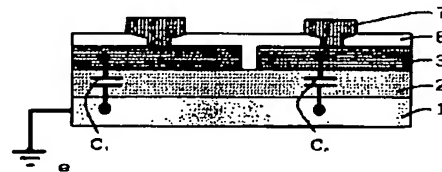
【符号の説明】

- 1 Si基板
- 2 絶縁層
- 3 第1導電体層
- 4 第1誘電体層
- 5 第2導電体層
- 6 第2誘電体層
- 7 電極引き出し端子
- 8 保護膜
- 9 上部電極

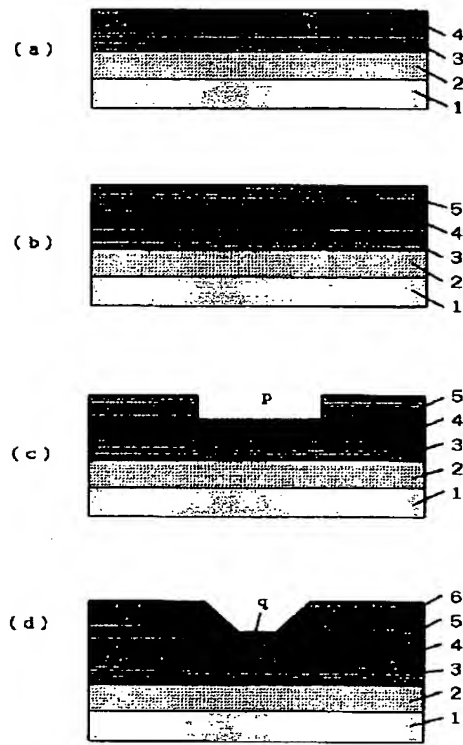
【図1】



【図3】



【図2】



BEST AVAILABLE COPY